

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 8月19日

出 願 番 号

Application Number:

特願2002-238357

[ST.10/C]:

[JP2002-238357]

出 願 人

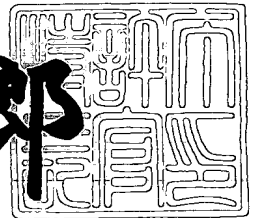
Applicant(s):

株式会社東芝

2003年 3月24日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3019018

【書類名】 特許願

【整理番号】 APB023069

【提出日】 平成14年 8月19日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/31

【発明の名称】 パターン形成方法、パターン形成プログラム、及び半導体装置の製造方法

【請求項の数】 9

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝
横浜事業所内

 【氏名】 中野 亜矢子

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝
横浜事業所内

 【氏名】 橋本 耕治

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝
横浜事業所内

 【氏名】 佐藤 隆

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝
横浜事業所内

 【氏名】 柴田 剛

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝
横浜事業所内

 【氏名】 小林 祐二

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100083806

【弁理士】

【氏名又は名称】 三好 秀和

【電話番号】 03-3504-3075

【選任した代理人】

【識別番号】 100068342

【弁理士】

【氏名又は名称】 三好 保男

【選任した代理人】

【識別番号】 100100712

【弁理士】

【氏名又は名称】 岩▲崎▼ 幸邦

【選任した代理人】

【識別番号】 100100929

【弁理士】

【氏名又は名称】 川又 澄雄

【選任した代理人】

【識別番号】 100108707

【弁理士】

【氏名又は名称】 中村 友之

【選任した代理人】

【識別番号】 100095500

【弁理士】

【氏名又は名称】 伊藤 正和

【選任した代理人】

【識別番号】 100101247

【弁理士】

【氏名又は名称】 高橋 俊一

【選任した代理人】

【識別番号】 100098327

【弁理士】

【氏名又は名称】 高松 俊雄

【手数料の表示】

【予納台帳番号】 001982

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 パターン形成方法、パターン形成プログラム、及び半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 段差パターンが形成されている処理基板の上に前記段差パターンに交差する回路パターンを転写するリソグラフィ工程において使用するマスクパターンを作成する段階と、

前記段差パターンの形状を考慮した補正ルールに従って、前記マスクパターンに対して、前記回路パターンのエッジと前記段差パターンとの交差部分及び該交差部分の近傍に補正パターンを付加する段階と

を有することを特徴とするパターン形成方法。

【請求項 2】 前記段差パターンの形状及び前記回路パターンの形状の少なくとも一方を考慮して、実験及びリソグラフィシミュレーションを用いて前記補正ルールを作成する段階を更に有し、

前記段差パターンの形状には、前記段差パターンの高さ、前記段差パターンの線幅、前記段差パターンの 2 次元形状、及び隣接する前記段差パターン間の距離のうち少なくとも何れか 1 つが含まれ、

前記回路パターンの形状には、前記回路パターンの線幅、前記回路パターンの 2 次元形状、及び隣接する前記回路パターン間の距離のうち少なくとも何れか 1 つが含まれることを特徴とする請求項 1 記載のパターン形成方法。

【請求項 3】 前記回路パターンは、不純物注入領域を規定するパターンであることを特徴とする請求項 1 又は 2 記載のパターン形成方法。

【請求項 4】 段差パターンが形成されている処理基板の上に前記段差パターンに交差する回路パターンを転写するリソグラフィ工程において使用するマスクパターンを作成する段階と、

前記マスクパターンを用いてリソグラフィ工程を実施する際に前記回路パターンのエッジと前記段差パターンとの交差部分または該交差部分とその近傍において発生する回路パターンのエッジの裾引き量を測定する段階と、

前記段差パターンの形状を考慮した補正ルールを作成する段階と、

前記補正ルールに従って、前記マスクパターンに対して前記交差部分及び該交差部分の近傍に補正パターンを付加する段階と、

前記補正パターンを付加した前記マスクパターンを用いてプロセスシミュレーションを実施する段階と、

前記プロセスシミュレーションにより得られた回路素子の動作特性を評価する段階と、

所望の前記動作特性が得られるまで、前記補正ルールを見直して、前記補正パターンの付加及び前記プロセスシミュレーションを繰り返し実施する段階とを有することを特徴とするパターン形成方法。

【請求項 5】 前記プロセスシミュレーションには、不純物注入シミュレーションが含まれることを特徴とする請求項 4 記載のパターン形成方法。

【請求項 6】 コンピュータに、

段差パターンが形成されている処理基板の上に前記段差パターンに交差する回路パターンを形成するリソグラフィ工程において使用するマスクパターンを作成する手順と、

前記段差パターンの形状を考慮した補正ルールに従って、前記マスクパターンに対して、前記回路パターンのエッジと前記段差パターンとの交差部分及び該交差部分の近傍に補正パターンを付加する手順と

を実行させることを特徴とするパターン形成プログラム。

【請求項 7】 コンピュータに、

段差パターンが形成されている処理基板の上に前記段差パターンに交差する回路パターンを形成するリソグラフィ工程において使用するマスクパターンを作成する手順と、

前記マスクパターンを用いてリソグラフィ工程を実施する際に前記回路パターンのエッジと前記段差パターンとの交差部分または該交差部分とその近傍において発生する回路パターンのエッジの裾引き量を測定する手順と、

前記段差パターンの形状を考慮した補正ルールを作成する手順と、

前記補正ルールに従って、前記マスクパターンに対して前記交差部分及び該交差部分の近傍に補正パターンを付加する手順と、

前記補正パターンを付加した前記マスクパターンを用いてプロセスシミュレーションを実施する手順と、

前記プロセスシミュレーションにより得られた回路素子の動作特性を評価する手順と、

所望の前記動作特性が得られるまで、前記補正ルールを見直して、前記補正パターンの付加及び前記プロセスシミュレーションを繰り返し実施する手順と
を実行させることを特徴とするパターン形成プログラム。

【請求項 8】 段差パターンが形成されている処理基板の上に前記段差パターンに交差する回路パターンを形成するリソグラフィ工程において使用するマスクパターンを作成する段階と、

前記段差パターンの形状を考慮した補正ルールに従って、前記マスクパターンに対して、前記回路パターンのエッジと前記段差パターンとの交差部分及び該交差部分の近傍に補正パターンを付加する段階と、

前記補正パターンが付加された前記マスクパターンを用いて、前記処理基板の上に前記回路パターンを形成する段階と

を有することを特徴とする半導体装置の製造方法。

【請求項 9】 段差パターンが形成されている処理基板の上に前記段差パターンに交差する回路パターンを形成するリソグラフィ工程において使用するマスクパターンを作成する段階と、

前記マスクパターンを用いてリソグラフィ工程を実施する際に前記回路パターンのエッジと前記段差パターンとの交差部分または該交差部分とその近傍において発生する回路パターンのエッジの裾引き量を測定する段階と、

前記段差パターンの形状を考慮した補正ルールを作成する段階と、

前記補正ルールに従って、前記マスクパターンに対して前記交差部分及び該交差部分の近傍に補正パターンを付加する段階と、

前記補正パターンを付加した前記マスクパターンを用いて前記リソグラフィ工程のプロセスシミュレーションを実施する段階と、

前記プロセスシミュレーションにより得られた回路素子の動作特性を評価する段階と、

所望の前記動作特性が得られるまで、前記補正ルールを見直して、前記補正パターンの付加及び前記プロセスシミュレーションを繰り返し実施する段階と、

前記所望の動作特性が得られた後に、前記補正パターンが付されたマスクパターンを用いて、前記処理基板の上に前記回路パターンを形成する段階とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、パターン形成方法、パターン形成プログラム、及び半導体装置の製造方法に関わり、特に、処理基板上に回路パターンを形成する場合に使用するマスクパターンの形成方法、その形成プログラム、及びそのマスクパターンを用いた半導体装置の製造方法に関する。

【0002】

【従来の技術】

近年、半導体装置の高集積化、高速化に伴い、回路パターンのパターン寸法に対する要求は非常に厳しいものとなっている。このため、ウェハ製造プロセスの解像限界などによる設計寸法と仕上がり寸法との差が顕在化してきている。設計寸法と仕上がり寸法との差を補正する手段として、様々な光近接効果補正（Optical Proximity Correction：OPC）が提案されている。OPCとは、光学シミュレーションを駆使して部分的にマスクパターンを太くしたりダミーパターンを配したりする等により、ウェハ製造プロセスに起因するパターン寸法の変化を補正する技術である。

【0003】

例えば、図13（a）に示すようなゲート配線を形成するためのマスクパターン51においてパターン端部の形状が解像限界以下である為、転写された回路パターン52のパターン端部は短くなる。この現象をショートニングと呼ぶ。ショートニングはゲート配線の線幅が細くなるほど顕著に現れる。

【0004】

そこで、図13（b）に示すように、マスクパターン51に対してパターン端

部にパターン長さ方向に一律に伸ばした補正パターン 5 3 を付すことにより、ショートニングを抑制することができる。また、図 1 3 (c) に示すように、マスクパターン 5 1 に対してパターン端部の側面にハンマーヘッド 5 4 を付すことによってもショートニングを抑制することができる。

【 0 0 0 5 】

【発明が解決しようとする課題】

しかしながら、従来の O P C では、パターンが形成される下地の平坦性については考慮されておらず、平坦ではない下地の上にパターンを形成する場合には従来の O P C を行っても設計寸法と仕上がり寸法とのずれを解消出来ない。

【 0 0 0 6 】

例えば、図 1 4 (a) 及び (b) に示すように下地が処理基板 1 3 と処理基板 1 3 の上に形成された段差パターン 1 4 とを備える場合を考える。図 1 5 に示すような段差パターン 1 4 に交差するマスクパターン 2 9 を用いて転写された回路パターン 5 5 は、段差パターン 1 4 との交差部分において裾を引いてしまう。したがって、マスクパターン 2 9 通りの所望のパターンを形成することが出来ない。交差部分または交差部分とその近傍における回路パターン 5 5 の裾引きは、上述した従来の O P C 技術によっては補正することが困難である。

【 0 0 0 7 】

本発明はこのような従来技術の問題点を解決するために成されたものであり、その目的は、段差上にパターンを形成する場合に、設計寸法により近いパターンを形成することができるパターン形成方法、パターン形成プログラム、及び半導体装置の製造方法を提供することである。

【 0 0 0 8 】

【課題を解決するための手段】

本発明の第 1 の特徴は、段差パターンが形成されている処理基板の上に段差パターンに交差する回路パターンを転写するリソグラフィ工程において使用するマスクパターンを作成する段階と、段差パターンの形状を考慮した補正ルールに従って、マスクパターンに対して、回路パターンのエッジと段差パターンとの交差部分及び交差部分の近傍に補正パターンを付加する段階とを有するパターン形成

方法であることである。

【 0 0 0 9 】

本発明の第 2 の特徴は、段差パターンが形成されている処理基板の上に段差パターンに交差する回路パターンを転写するリソグラフィ工程において使用するマスクパターンを作成する段階と、マスクパターンを用いてリソグラフィ工程を実施する際に回路パターンのエッジと段差パターンとの交差部分または交差部分とその近傍において発生する回路パターンのエッジの裾引き量を測定する段階と、段差パターンの形状を考慮した補正ルールを作成する段階と、補正ルールに従って、マスクパターンに対して交差部分及び交差部分の近傍に補正パターンを付加する段階と、補正パターンを付加したマスクパターンを用いてプロセスシミュレーションを実施する段階と、プロセスシミュレーションにより得られた回路素子の動作特性を評価する段階と、所望の動作特性が得られるまで、補正ルールを見直して、補正パターンの付加及びプロセスシミュレーションを繰り返し実施する段階とを有するパターン形成方法であることである。

【 0 0 1 0 】

本発明の第 3 の特徴は、コンピュータに、段差パターンが形成されている処理基板の上に段差パターンに交差する回路パターンを形成するリソグラフィ工程において使用するマスクパターンを作成する手順と、段差パターンの形状を考慮した補正ルールに従って、マスクパターンに対して、回路パターンのエッジと段差パターンとの交差部分及び交差部分の近傍に補正パターンを付加する手順とを実行させるパターン形成プログラムであることである。

【 0 0 1 1 】

本発明の第 4 の特徴は、コンピュータに、段差パターンが形成されている処理基板の上に段差パターンに交差する回路パターンを形成するリソグラフィ工程において使用するマスクパターンを作成する手順と、マスクパターンを用いてリソグラフィ工程を実施する際に回路パターンのエッジと段差パターンとの交差部分または交差部分とその近傍において発生する回路パターンのエッジの裾引き量を測定する手順と、段差パターンの形状を考慮した補正ルールを作成する手順と、補正ルールに従って、マスクパターンに対して交差部分及び交差部分の近傍に補

正パターンを付加する手順と、補正パターンを付加したマスクパターンを用いてプロセスシミュレーションを実施する手順と、プロセスシミュレーションにより得られた回路素子の動作特性を評価する手順と、所望の動作特性が得られるまで、補正ルールを見直して、補正パターンの付加及びプロセスシミュレーションを繰り返し実施する手順とを実行させるパターン形成プログラムであることである。

【 0 0 1 2 】

本発明の第 5 の特徴は、段差パターンが形成されている処理基板の上に段差パターンに交差する回路パターンを形成するリソグラフィ工程において使用するマスクパターンを作成する段階と、段差パターンの形状を考慮した補正ルールに従って、マスクパターンに対して、回路パターンのエッジと段差パターンとの交差部分及び交差部分の近傍に補正パターンを付加する段階と、補正パターンが付加されたマスクパターンを用いて、処理基板の上に回路パターンを形成する段階とを有する半導体装置の製造方法であることである。

【 0 0 1 3 】

本発明の第 6 の特徴は、段差パターンが形成されている処理基板の上に段差パターンに交差する回路パターンを形成するリソグラフィ工程において使用するマスクパターンを作成する段階と、マスクパターンを用いてリソグラフィ工程を実施する際に回路パターンのエッジと段差パターンとの交差部分または交差部分とその近傍において発生する回路パターンのエッジの裾引き量を測定する段階と、段差パターンの形状を考慮した補正ルールを作成する段階と、補正ルールに従って、マスクパターンに対して交差部分及び交差部分の近傍に補正パターンを付加する段階と、補正パターンを付加したマスクパターンを用いてリソグラフィ工程のプロセスシミュレーションを実施する段階と、プロセスシミュレーションにより得られた回路素子の動作特性を評価する段階と、所望の動作特性が得られるまで、補正ルールを見直して、補正パターンの付加及びプロセスシミュレーションを繰り返し実施する段階と、所望の動作特性が得られた後に、補正パターンが付加されたマスクパターンを用いて、処理基板の上に回路パターンを形成する段階とを有する半導体装置の製造方法であることである。

【 0 0 1 4 】

【発明の実施の形態】

以下図面を参照して、本発明の実施の形態を説明する。図面の記載において同一あるいは類似の部分には同一あるいは類似な符号を付している。ただし、図面は模式的なものであり、パターンの長さや幅との関係、各パターンの高さの比率などは現実のものとは異なることに留意すべきである。また、図面の相互間においても互いの寸法の関係や比率が異なる部分が含まれていることはもちろんである。

【 0 0 1 5 】

(第 1 の実施の形態)

図 1 に示すように、第 1 の実施の形態に係るパターン形成方法を実施する為の装置は、パターンを形成及び補正する為の機能手段を備えた処理制御部 1 と、処理制御部 1 に接続された補正ルールデータベース 2、マスクデータ記憶部 3、及びプログラム記憶部 4 とを少なくとも有する。

【 0 0 1 6 】

処理制御部 1 は、回路パターン裾引き量測定部 8 と、補正ルール作成部 9 と、マスクパターン補正部 10 と、プロセスシミュレーション部 11 と、デバイス特性評価部 12 とを有する。補正ルールデータベース 2 には、処理基板上の段差パターンの形状を考慮した補正ルールが記憶されている。マスクデータ記憶部 3 には、マスクパターンの CAD データが記憶されている。

【 0 0 1 7 】

処理制御部 1 は、通常のコンピュータシステムの中央処理装置 (CPU) の一部として構成すればよい。回路パターン裾引き量測定部 8、補正ルール作成部 9、マスクパターン補正部 10、プロセスシミュレーション部 11、及びデバイス特性評価部 12 は、それぞれ専用のハードウェアで構成しても良く、通常のコンピュータシステムの CPU を用いて、ソフトウェアで実質的に等価な機能を有する機能手段として構成しても構わない。

【 0 0 1 8 】

補正ルールデータベース 2、マスクデータ記憶部 3、及びプログラム記憶部 4

は、それぞれ、半導体ROM、半導体RAM等の半導体メモリ装置、磁気ディスク装置、磁気ドラム装置、磁気テープ装置などの外部記憶装置で構成してもよく、CPUの内部の主記憶装置で構成しても構わない。

【0019】

また、処理制御部1には、入出力制御部5を介して、操作者からのデータや命令などの入力を受け付ける入力装置7と、作成されたマスクパターンのデータを出力する出力装置6とが接続されている。入力装置7には、キーボード、マウス、ライトペンまたはフレキシブルディスク装置などが含まれる。出力装置6には、プリンタ装置、表示装置などが含まれる。表示装置には、CRT、液晶などのディスプレイ装置が含まれる。

【0020】

処理制御部1で実行される各処理のプログラム命令はプログラム記憶部4に記憶されている。プログラム命令は必要に応じてCPUに読み込まれ、CPUの内部の処理制御部1によって、演算処理が実行される。また同時に、一連の演算処理の各段階で発生した数値情報などのデータは、RAMや磁気ディスクなどのマスクデータ記憶部3に格納される。

【0021】

回路パターン裾引き量測定部8は、処理基板の上に形成されている段差パターンとの交差部分または交差部分とその近傍に生じる回路パターンの裾引き量を測定する。裾引き量の測定は、実験或いはリソグラフィシミュレーションによって行う。補正ルール作成部9は、補正ルールを作成する。補正ルールは、回路パターンの裾引きの発生を抑制し、設計パターンどおりに回路パターンを形成するためのルールである。即ち、補正ルールは、段差パターン近傍における回路パターンの寸法変化を改善する為のルールである。具体的には、補正ルール作成部9は、実験或いはリソグラフィシミュレーションによって、補正パターンの形状について後述する補正ルールのテーブルを作成する。マスクパターン補正部10は、補正ルールに従って補正パターンを作成し、マスクパターンに対して補正パターンを付加する。プロセスシミュレーション部11は、補正パターンが付されたマスクパターンを用いてリソグラフィ工程をシミュレーションし、処理基板に転写

された回路パターンを用いて、処理基板の加工処理をシミュレーションする。処理基板の加工処理には、処理基板への不純物の注入処理が含まれる。デバイス特性評価部 1 2 は、プロセスシミュレーション部 1 1 によって計算された回路素子の動作特性をデバイスシミュレーションなどを用いて評価する。

【 0 0 2 2 】

ここで、「回路パターン」には、リソグラフィ工程によって処理基板上に転写されるレジストパターン、レジストパターンを介して処理基板上に形成される回路素子パターンが含まれる。「回路素子パターン」には、素子分離領域、ウェル領域、ソース／ドレイン領域、ゲート電極、コンタクトホール、配線などの回路素子を構成する総てのパターンが含まれる。

【 0 0 2 3 】

図 4 に示すように、処理基板 1 3 の上には段差パターン 1 4 が形成されている。例えば、処理基板 1 3 は、シリコンウェハと、シリコンウェハの上に形成された厚さ 3 0 0 n m のシリコン酸化膜 (S i O ₂ 膜) とを具備する。また、段差パターン 1 4 は、線幅 7 0 n m 、高さ 1 7 5 n m のポリシリコンから成る。なお、図 4 に示す処理基板 1 3 及び段差パターン 1 4 は、図 1 4 (a) 及び (b) に示した処理基板 1 3 及び段差パターン 1 4 と同一である。段差パターン 1 4 が形成された処理基板 1 3 の上に、段差パターン 1 4 に交差するマスクパターン 1 5 を用いて回路パターンが形成される。例えば、回路パターンは、マスクパターン 1 5 を用いてリソグラフィ工程を行うことによって処理基板 1 3 上に転写されるポジレジストパターンである。また、マスクパターン 1 5 の線幅 2 5 は 2 5 0 n m である。マスクパターン 1 5 のエッジ 1 7 と段差パターン 1 4 のエッジ 1 6 との交差部分 1 8 及び交差部分 1 8 の周囲には、補正パターン 1 9 が配置されている。補正パターン 1 9 は、マスクパターン 1 5 のエッジ 1 7 に沿って、エッジ 1 7 の内側に配置されている。したがって、補正パターン 1 9 が付された補正後の実際のマスクパターンは、補正前のマスクパターン 1 5 から補正パターン 1 9 を除いた部分に相当する。

【 0 0 2 4 】

補正ルールは、段差パターン 1 4 の形状及び回路パターンの形状の少なくとも

一方を考慮して、実験及びリソグラフィシミュレーションを用いて作成される。段差パターン 1 4 の形状には、段差パターン 1 4 の高さ、段差パターン 1 4 の線幅 2 4、段差パターン 1 4 の 2 次元形状、及び隣接する段差パターン間の距離のうち少なくとも何れか 1 つが含まれる。回路パターンの形状には、回路パターンの線幅、回路パターンの 2 次元形状、及び隣接する回路パターン間の距離のうち少なくとも何れか 1 つが含まれる。

【 0 0 2 5 】

図 3 に示す補正ルールテーブルは、補正パターンの幅 (a) 及び補正パターンの長さ (b) についての補正ルールを示し、段差パターンの形状のうちの段差パターンの高さ及び幅を考慮して作成されたものである。例えば、段差パターンの幅が 4 0 0 n m であり、段差パターンの高さが 2 0 0 n m である場合、幅 (a) が 5 0 n m、長さ (b) が 4 5 0 n m の補正パターンをマスクパターンに対して付加すればよい。なお、図 3 は補正ルールテーブルの一例を示したに過ぎない。補正ルール作成部 9 は、補正パターンの幅 (a) 及び長さ (b) 以外の補正パターンの形状に関する他のパラメータについて、図 3 を同様なテーブルを作成してもよい。また、図 3 のテーブルは段差パターンの高さ及び幅を考慮して作成されているが、段差パターンの 2 次元形状、或いは隣接する段差パターン間の距離を考慮して作成しても構わない。更に、段差パターンの形状の代わりに、或いは段差パターンの形状と共に、回路パターンの形状を考慮して補正ルールテーブルを作成しても構わない。

【 0 0 2 6 】

次に、第 1 の実施の形態に係るパターン形成方法について図 2 を参照して説明する。

【 0 0 2 7 】

(イ) 先ず、S 0 1 段階において、図 4 に示した段差パターン 1 4 が形成されている処理基板 1 3 の上に段差パターン 1 4 に交差する回路パターンを転写するリソグラフィ工程において使用するマスクパターンを 1 5 作成する。S 0 1 段階において形成されるマスクパターン 1 5 は、設計データに基いて作成された、段差パターン 1 4 を考慮した補正が施されていない補正前のマスクパターンである

【 0 0 2 8 】

(ロ) 次に、S 0 2 段階において、図 1 に示した回路パターン裾引き量測定部 8 は、補正前のマスクパターン 1 5 を用いてリソグラフィ工程を実施する際に発生する回路パターンのエッジの裾引き量を測定する。例えば、回路パターン裾引き量測定部 8 は、図 1 5 に示した回路パターン 5 5 の裾引き量を測定する。なお、ここで用いる露光装置において、光源波長は 2 4 8 n m であり、投影レンズの開口数 (N A) は 0. 6 0 であり、コヒーレンスファクターは 0. 7 5 であるとする。

【 0 0 2 9 】

(ハ) 次に、S 0 3 段階において、補正ルール作成部 9 は、段差パターン 1 4 の形状などを考慮した補正ルールを作成する。具体的には S 0 3 段階において、図 3 に示したような補正ルールのテーブルを作成する。作成された補正ルールは、補正ルールデータベース 2 に記憶される。

【 0 0 3 0 】

(ニ) 次に、S 0 4 段階において、マスクパターン補正部 1 0 は、作成された補正ルールに従って、図 4 に示したように、補正前のマスクパターン 1 5 に対してマスクパターン 1 5 のエッジ 1 7 と段差パターン 1 4 のエッジ 1 6 との交差部分 1 8 及び交差部分 1 8 の近傍に補正パターン 1 9 を付加する。補正パターン 1 9 が付されたマスクパターン 1 5 のデータは、マスクデータ記憶部 3 に記憶される。

【 0 0 3 1 】

(ホ) 次に、S 0 5 段階において、プロセスシミュレーション部 1 1 は、補正パターン 1 9 を付加したマスクパターン 1 5 を用いてプロセスシミュレーションを実施する。例えば、補正パターン 1 9 を付加したマスクパターン 1 5 を用いたリソグラフィ工程のシミュレーションを実施して処理基板 1 3 上に転写されるレジストパターンを計算する。そして、計算されたレジストパターンを用いた不純物注入工程のシミュレーションを実施する。即ち、S 0 5 段階におけるプロセスシミュレーションには、リソグラフィ工程のシミュレーション、不純物工程のシ

ミュレーション、異方性のエッチング工程のシミュレーションなどの処理基板の加工処理のシミュレーションが含まれる。

【 0 0 3 2 】

(ヘ) 次に、S 0 6 段階において、デバイス特性評価部 1 2 は、プロセスシミュレーションにより得られた回路素子の動作特性をデバイスシミュレーションなどを用いて評価する。評価した結果、回路素子の動作特性が所定の基準値を満たしていない場合 (S 0 6 段階において N o)、S 0 7 段階へ進む。S 0 7 段階において、回路素子の動作特性が所定の基準値を満たすように補正ルールを見直し、S 0 4 ~ S 0 6 段階を再び実施する。即ち、所望の動作特性が得られるまで、補正ルールを見直して (S 0 7 段階)、補正パターンの付加 (S 0 4 段階)、プロセスシミュレーションの実施 (S 0 5 段階) 及び動作特性の評価 (S 0 6 段階) を繰り返し行う。そして、回路素子の動作特性を評価した結果、回路素子の動作特性が所定の基準値を満たしている場合 (S 0 6 段階において Y e s)、第 1 の実施の形態に係るパターンの形成方法の総ての手順が終了する。

【 0 0 3 3 】

第 1 の実施の形態に係るパターン形成方法によれば、段差パターン 1 4 が形成された処理基板 1 3 の上に回路パターンを形成する場合に、マスクパターン 1 5 に対して図 4 に示した補正パターン 1 9 を付すことにより、図 1 5 に示した回路パターン 5 5 の裾引きを抑制し、図 5 に示すように設計パターン 2 9 により近い回路パターン 2 8 を形成することができる。

【 0 0 3 4 】

上述したパターン形成方法は、時系列的につながった一連の処理又は操作、即ち「手順」として表現することができる。従って、この方法を、コンピュータシステムを用いて実行するために、コンピュータシステム内のプロセッサなどが果たす複数の機能を特定するプログラムとして構成することができる。また、このプログラムは、コンピュータ読み取り可能な記録媒体に保存することができる。この記録媒体をコンピュータシステムによって読み込ませ、このプログラムを実行してコンピュータを制御しながら上述した方法を実現することができる。この記録媒体は、図 1 に示したプログラム記憶部 4 として用いる、あるいはプログ

ラム記憶部 4 に読み込ませ、このプログラムにより処理制御部 1 における種々の作業を所定の処理手順に従って実行することができる。ここで、このプログラムを保存する記録媒体としては、メモリ装置、磁気ディスク装置、光ディスク装置、その他のプログラムを記録することができるような装置が含まれる。

【 0 0 3 5 】

図 6 に示すように、このパターン形成装置 9 0 の本体全面には、フレキシブルディスクドライブ 9 1、及び C D - R O M ドライブ 9 2 が設けられている。磁気ディスクとしてのフレキシブルディスク 9 3 または光ディスクとしての C D - R O M 9 4 を各ドライブ入り口から挿入し、所定の読み出し操作を行うことにより、これらの記録媒体に格納されたプログラムをシステム内にインストールすることができる。また、所定のドライブ装置 9 7 を接続することにより、例えばゲームパックなどに使用されている半導体メモリとしての R O M 9 5 や、磁気テープとしてのカセットテープ 9 6 を用いることもできる。

【 0 0 3 6 】

(第 1 の実施の形態の変形例 1)

図 4 に示した補正パターン 1 9 の形状及び配置は本発明の実施の形態の一つを示したに過ぎず、本発明はこれに限定されるものではない。第 1 の実施の形態の変形例 1 ~ 4 では、図 4 に示した補正パターン 1 9 とは異なる形状及び配置を有する補正パターンについて説明する。

【 0 0 3 7 】

図 7 に示すように、段差パターン 1 4 が形成された処理基板 1 3 の上に、段差パターン 1 4 に交差するマスクパターン 1 5 を用いて回路パターンが形成される。図 7 に示す処理基板 1 3、段差パターン 1 4 及びマスクパターン 1 5 は、図 4 のそれらと同一である。

【 0 0 3 8 】

マスクパターン 1 5 のエッジ 1 7 と段差パターン 1 4 のエッジ 1 6 との交差部分 1 8 及び交差部分 1 8 の近傍に、補正パターン 2 0 が配置されている。補正パターン 2 0 は、マスクパターン 1 5 のエッジ 1 7 に沿って、エッジ 1 7 の内側に配置されている。また、交差部分 1 8 及び交差部分 1 8 の近傍にそれぞれ独立し

て4つの補正パターン20が配置されている。補正パターン20が付された補正後の実際のマスクパターンは、補正前のマスクパターン15から補正パターン20を除いた部分に相当する。

【0039】

補正パターン20を付すことにより、図15に示した回路パターン55の裾引きを抑制し、図5に示したように設計パターン29により近い回路パターン28を形成することができる。なお、変形例1において、補正ルール作成部9は、補正パターン20の長さ30及び幅31についてそれぞれ補正ルールのテーブルを作成する。

【0040】

(第1の実施の形態の変形例2)

図8に示すように、段差パターン14が形成された処理基板13の上に、段差パターン14に交差するマスクパターン15を用いて回路パターンが形成される。図8に示す処理基板13、段差パターン14及びマスクパターン15は、図4のそれらと同一である。

【0041】

マスクパターン15のエッジ17と段差パターン14のエッジ16との交差部分18の近傍に、補正パターン21が配置されている。補正パターン21は、マスクパターン15のエッジ17から一定の距離34をおいてエッジ17の外側に配置されている。また、交差部分18の周囲にそれぞれ独立して4つの補正パターン21が配置されている。更に、補正パターン21の幅33は露光装置の解像限界以下であり、補正パターン21は実際に処理基板13の上に転写されることが無い微細なパターンである。補正パターン21が付された補正後の実際のマスクパターンは、補正前のマスクパターン15に補正パターン21を加えたものに相当する。

【0042】

補正パターン21を付すことにより、図15に示した回路パターン55の裾引きを抑制し、図5に示したように設計パターン29により近い回路パターン28を形成することができる。なお、変形例2において、補正ルール作成部9は、補

正パターン 2 1 の長さ 3 2 及び幅 3 3、及びマスクパターン 1 5 のエッジ 1 7 からの一定の距離 3 4 についてそれぞれ補正ルールのテーブルを作成する。

【 0 0 4 3 】

(第 1 の実施の形態の変形例 3)

図 9 に示すように、段差パターン 1 4 が形成された処理基板 1 3 の上に、段差パターン 1 4 に交差するマスクパターン 1 5 を用いて回路パターンが形成される。図 9 に示す処理基板 1 3、段差パターン 1 4 及びマスクパターン 1 5 は、図 4 のそれらと同一である。

【 0 0 4 4 】

マスクパターン 1 5 のエッジ 1 7 と段差パターン 1 4 のエッジ 1 6 との交差部分 1 8 の周囲に、補正パターン 2 2 が配置されている。補正パターン 2 2 は、マスクパターン 1 5 のエッジ 1 7 から一定の距離 3 7 をおいてエッジ 1 7 の外側に配置されている。また、補正パターン 2 2 の幅 3 6 は露光装置の解像限界以下であり、補正パターン 2 2 は実際に処理基板 1 3 の上に転写されることが無い微細なパターンである。補正パターン 2 2 が付された補正後の実際のマスクパターンは、補正前のマスクパターン 1 5 に補正パターン 2 2 を加えたものに相当する。

【 0 0 4 5 】

補正パターン 2 2 を付すことにより、図 1 5 に示した回路パターン 5 5 の裾引きを抑制し、図 5 に示したように設計パターン 2 9 により近い回路パターン 2 8 を形成することができる。なお、変形例 3 において、補正ルール作成部 9 は、補正パターン 2 2 の長さ 3 5 及び幅 3 6、及びマスクパターン 1 5 のエッジ 1 7 からの一定の距離 3 7 についてそれぞれ補正ルールのテーブルを作成する。

【 0 0 4 6 】

(第 1 の実施の形態の変形例 4)

図 1 0 (a) 及び (b) に示すように、処理基板 1 3 の上に線幅及び高さの異なる第 1 及び第 2 の段差パターン 1 4 a、1 4 b が形成されている。第 1 の段差パターン 1 4 a は、線幅が 7 0 n m であり、高さが 1 7 5 n m であるポリシリコンから成る。第 2 の段差パターン 1 4 b は、線幅が 1 2 0 n m であり、高さが 2 5 0 n m であるポリシリコンから成る。第 1 及び第 2 の段差パターン 1 4 a、1

4 b に交差する第 1 及び第 2 のマスクパターン 1 5 a、1 5 b を用いてレジストパターンを形成する。第 1 及び第 2 のマスクパターン 1 5 a、1 5 b の線幅はともに 2 5 0 n m である。また、第 1 及び第 2 のマスクパターン 1 5 a、1 5 b 間の距離を、第 1 乃至第 3 のパターン間距離 3 8 ~ 4 0 と定義する。

【 0 0 4 7 】

第 1 及び第 2 のマスクパターン 1 5 a、1 5 b のエッジと第 1 の段差パターン 1 4 a のエッジとの交差部分及び交差部分の近傍に、第 1 の補正パターン 2 3 a がそれぞれ配置されている。第 1 及び第 2 のマスクパターン 1 5 a、1 5 b のエッジと第 2 の段差パターン 1 4 b のエッジとの交差部分及び交差部分の近傍に、第 2 の補正パターン 2 3 b がそれぞれ配置されている。第 1 及び第 2 の補正パターン 2 3 a、2 3 b は、第 1 及び第 2 のマスクパターン 1 5 a、1 5 b のエッジに沿って、エッジ 1 7 の内側に配置されている。第 1 及び第 2 の補正パターン 2 3 a、2 3 b が付された補正後の実際のマスクパターンは、補正前の第 1 及び第 2 のマスクパターン 1 5 a、1 5 b から第 1 及び第 2 の補正パターン 2 3 a、2 3 b を除いた部分に相当する。第 1 及び第 2 の補正パターン 2 3 a、2 3 b の幅は露光装置の解像限界以下であり、第 1 及び第 2 の補正パターン 2 3 a、2 3 b は実際に処理基板 1 3 の上に転写されることが無い微細なパターンである。

【 0 0 4 8 】

第 1 及び第 2 の補正パターン 2 3 a、2 3 b を付すことにより、回路パターンの裾引きを抑制し、設計パターンにより近い回路パターンを形成することができる。なお、変形例 4 において、補正ルール作成部 9 は、第 1 乃至第 3 のパターン間距離 3 8 ~ 4 0 を考慮して補正ルールのテーブルを作成する。第 1 及び第 2 の補正パターン 2 3 a、2 3 b は、第 1 及び第 2 の段差パターン 1 4 a、1 4 b の形状、及び第 1 及び第 2 のマスクパターン 1 5 a、1 5 b の形状のほかに、第 1 乃至第 3 のパターン間距離 3 8 ~ 4 0 を考慮して作成される。

【 0 0 4 9 】

以上説明したように、第 1 の実施の形態の変形例 4 によれば、形状の異なる複数の段差パターン或いはマスクパターンがある場合であっても、段差パターン或いはマスクパターンの各形状に適した補正パターンを作成することができる。

【 0 0 5 0 】

(第 2 の実施の形態)

図 1 1 に示すように、第 2 の実施の形態に係る半導体装置の製造方法は、S 1 1 ～ S 1 5 段階を備える。

【 0 0 5 1 】

(イ) まず、S 1 1 段階において、素子分離領域を形成する。具体的には、シリコン窒化膜 (Si_3N_4 膜) などの耐熱酸化膜を処理基板上に成膜し、リソグラフィ工程により素子分離領域に開口を有するレジストパターンを形成し、レジストパターンの開口から表出したシリコン窒化膜を選択的に除去する。そして、シリコン窒化膜の開口から表出した処理基板を選択的に熱酸化させる。

【 0 0 5 2 】

(ロ) 次に、S 1 2 段階において、MOS トランジスタが形成される領域にウェル領域を形成する。具体的には、リソグラフィ工程により MOS トランジスタが形成される領域に開口を有するレジストパターンを形成し、このレジストパターンを用いて選択的に不純物を注入する。

【 0 0 5 3 】

(ハ) 次に、S 1 3 段階において、処理基板上にゲート電極を形成する。具体的には、処理基板上にポリシリコン膜を成膜し、リソグラフィ工程によりゲート電極部分にレジストパターンを形成し、レジストパターンを用いてポリシリコン膜を選択的に除去する。

【 0 0 5 4 】

(ニ) 次に、S 1 4 段階において、処理基板内に不純物を注入してソース／ドレイン領域を形成する。具体的には、リソグラフィ工程によりソース／ドレイン領域が形成される領域に開口を有するレジストパターンを形成し、このレジストパターンを用いて選択的に不純物を注入する。以上の S 1 1 ～ S 1 5 段階を経て処理基板上に MOS トランジスタが形成される。

【 0 0 5 5 】

(ホ) 最後に、S 1 5 段階において、処理基板上の複数の MOS トランジスタの間を接続する配線を形成する。具体的には、処理基板の上に層間絶縁膜を堆積

し、リソグラフィ工程によりコンタクト及び配線が形成される領域に開口を有するレジストパターンを形成し、このレジストパターンを用いて選択的に層間絶縁膜をエッチングする。形成されたコンタクトホール及び配線溝に銅などの配線材料を埋め込む。以上の工程を経て第2の実施の形態に係る半導体装置の製造方法の手順が終了する。

【 0 0 5 6 】

図11に示したS11乃至S15段階は、それぞれ図12に示すS101段階及びS102段階を有する。即ち、先ずリソグラフィ工程において、所定の形状を有するマスクパターンを処理基板上に転写してレジストパターンを形成する（S101）。そして、このレジストパターンを用いて処理基板の加工処理を行う（S102）。本発明の第2の実施の形態では、S101段階のリソグラフィ工程において使用するマスクパターンを、図2に示したパターン形成方法を用いて形成及び補正する。

【 0 0 5 7 】

なお、図2に示したパターン形成方法を用いる段階は、S11乃至S15段階の内の少なくとも何れか1つであればよい。勿論、総ての段階（S11～S15）で図2に示したパターン形成方法を用いても構わない。特に、ウェル領域、ソース／ドレイン領域など、処理基板内に不純物を注入する際に使用するマスクパターンに対して、図2に示したパターン形成方法を用いることが望ましい。更に、ゲート電極を形成した（S13）の後、ソース／ドレイン領域を形成する（S14）場合、ゲート電極が段差パターンとなってソース／ドレイン領域が設計パターンどおりに転写されないおそれがある。したがって、ソース／ドレイン領域を形成するためのマスクパターンについて図2に示したパターン形成方法を用いることが望ましい。ソース／ドレイン領域とゲート電極との交差部分に裾引きが発生すると、チャンネル長が設計値からずれてしまい、動作特性に影響を及ぼすおそれがあるからである。

【 0 0 5 8 】

【発明の効果】

以上説明したように、本発明によれば、段差上にパターンを形成する場合に、

設計寸法により近いパターンを形成することができるパターン形成方法、パターン形成プログラム、及び半導体装置の製造方法を提供することができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施の形態に係るパターン形成方法を実施する為の装置を示すブロック図である。

【図 2】

本発明の第 1 の実施の形態に係るパターン形成方法を示すフローチャートである。

【図 3】

図 1 に示した補正ルール作成部が作成する補正ルールの一例を示す補正ルールのテーブルである。

【図 4】

処理基板上に形成された段差パターン及び段差パターンに交差するマスクパターンを示す平面図である。

【図 5】

第 1 の実施の形態に係るパターン形成方法により形成されたマスクパターンにより転写された回路パターン及び設計パターンとの関係を示す平面図である。

【図 6】

第 1 の実施の形態に係るパターン形成プログラムを読み取り、そこに記述された手順に従って、パターン形成装置が果たす複数の機能を制御することにより、パターン形成方法を実現するコンピュータシステムからなるパターン形成装置の一例を示す外観図である。

【図 7】

第 1 の実施の形態の変形例 1 に係る補正パターンを示す平面図である。

【図 8】

第 1 の実施の形態の変形例 2 に係る補正パターンを示す平面図である。

【図 9】

第 1 の実施の形態の変形例 3 に係る補正パターンを示す平面図である。

【図 1 0】

第 1 の実施の形態の変形例 4 に係る補正パターンを示す平面図である。

【図 1 1】

本発明の第 2 の実施の形態に係る半導体装置の製造方法を示すフローチャートである。

【図 1 2】

図 1 1 に示した S 1 1 乃至 S 1 5 段階の各段階に共通して含まれる手順を示すフローチャートである。

【図 1 3】

従来技術に係る光近接効果補正を説明する為の平面図であり、図 1 3 (a) は補正前のパターンを示し、図 1 3 (b) はパターンの長さ方向に伸ばした補正パターンを付した場合を示し、図 1 3 (c) はパターン端部にハンマーヘッドを付した場合を示す。

【図 1 4】

図 1 4 (a) は、平坦でない下地の一例として処理基板上に形成された段差パターンを示す平面図であり、図 1 4 (b) は、図 1 4 (a) の断面図である。

【図 1 5】

図 1 4 (a) 及び (b) に示した段差パターンに交差するパターンを形成する場合における実際に仕上がる回路パターンの裾引きを示す平面図である。

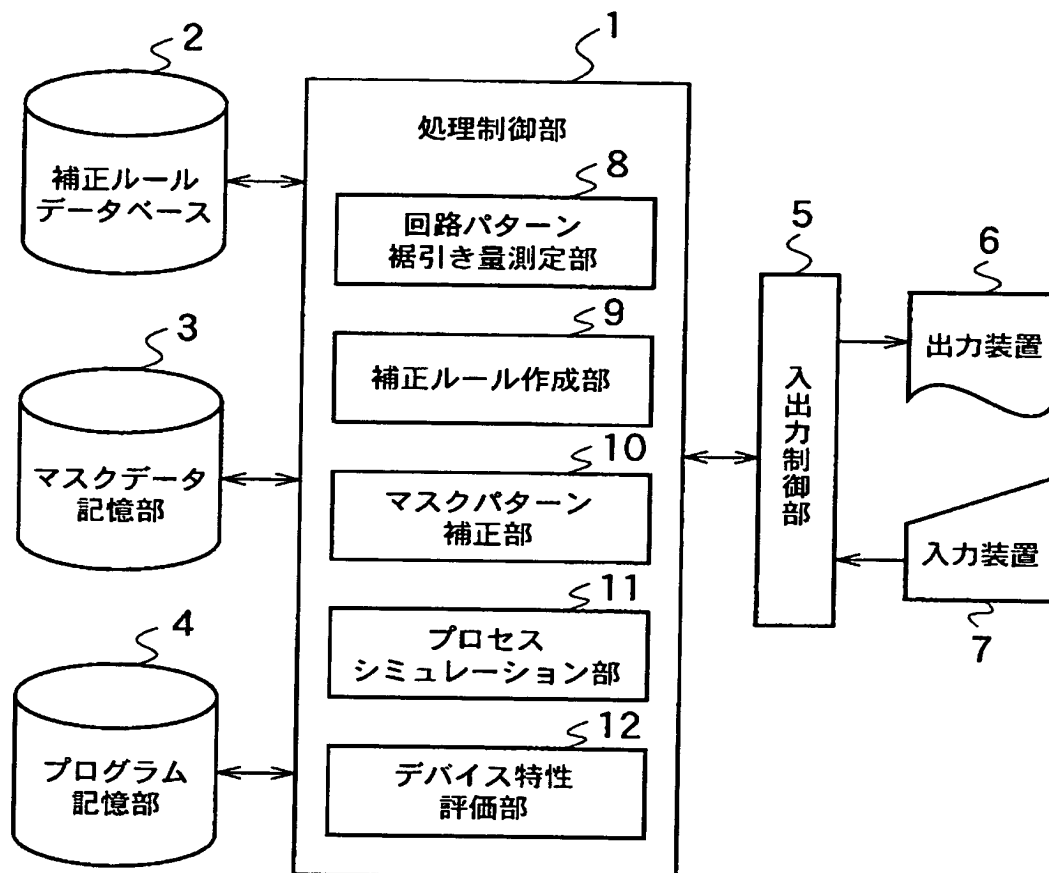
【符号の説明】

- 1 処理制御部
- 2 補正ルールデータベース
- 3 マスクデータ記憶部
- 4 プログラム記憶部
- 5 入出力制御部
- 6 出力装置
- 7 入力装置
- 8 回路パターン裾引き量測定部
- 9 補正ルール作成部

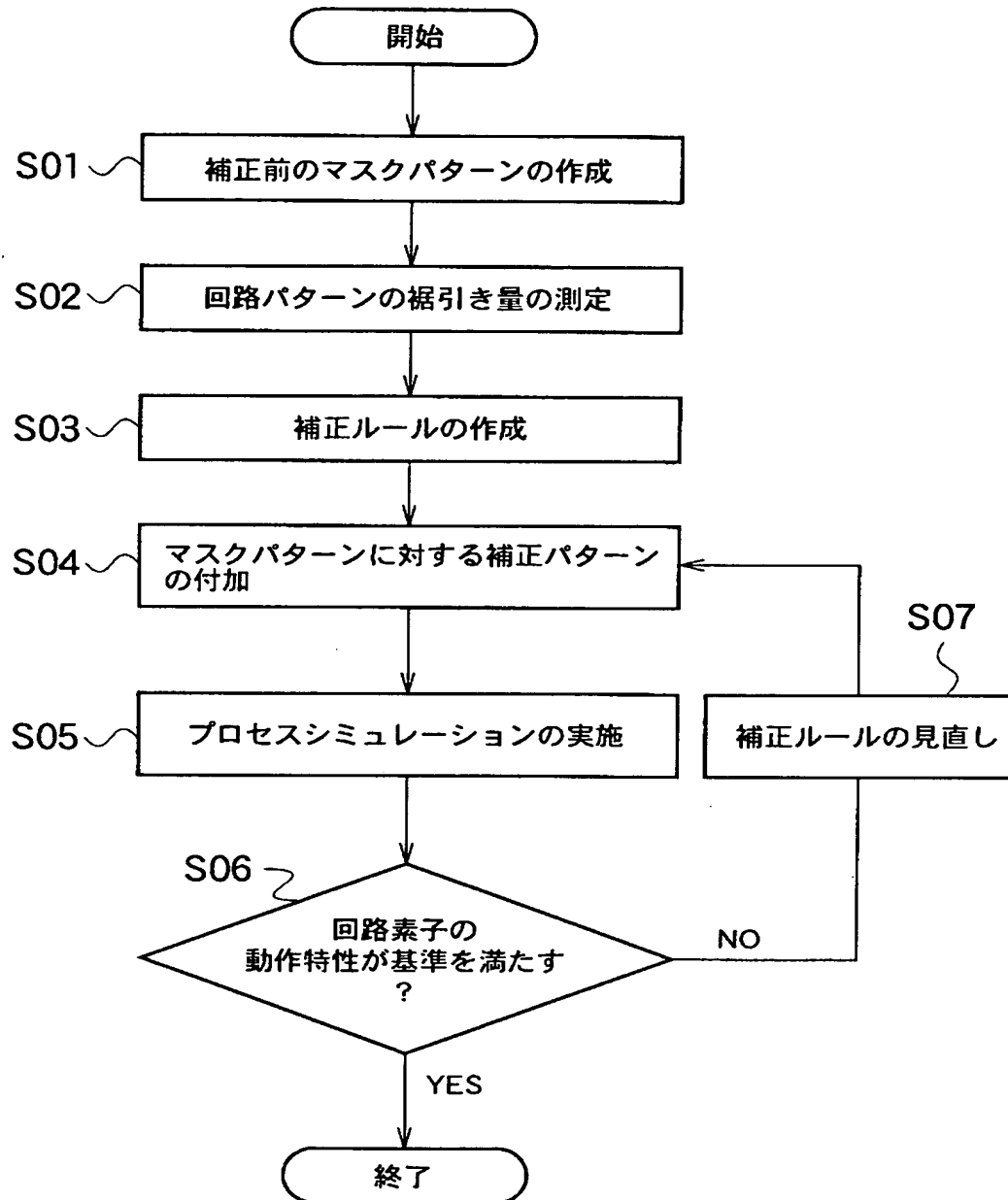
- 1 0 マスクパターン補正部
- 1 1 プロセスシミュレーション部
- 1 2 デバイス特性評価部
- 1 3 処理基板
- 1 4 段差パターン
- 1 5 マスクパターン
- 1 6、1 7 エッジ
- 1 8 交差部分
- 1 9 ~ 2 2、2 3 a、2 3 b 補正パターン
- 2 4、2 5 線幅

【書類名】 図面

【図 1】



【図 2】

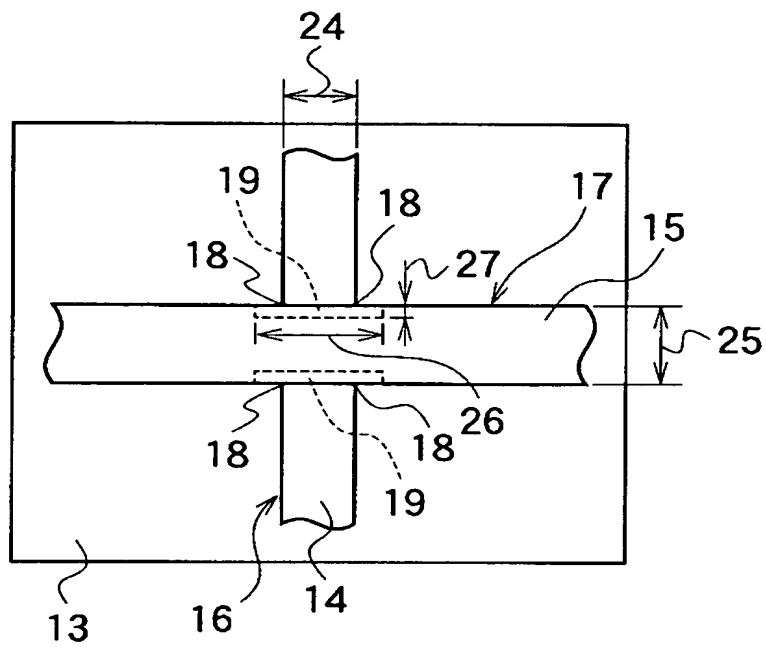


【図 3】

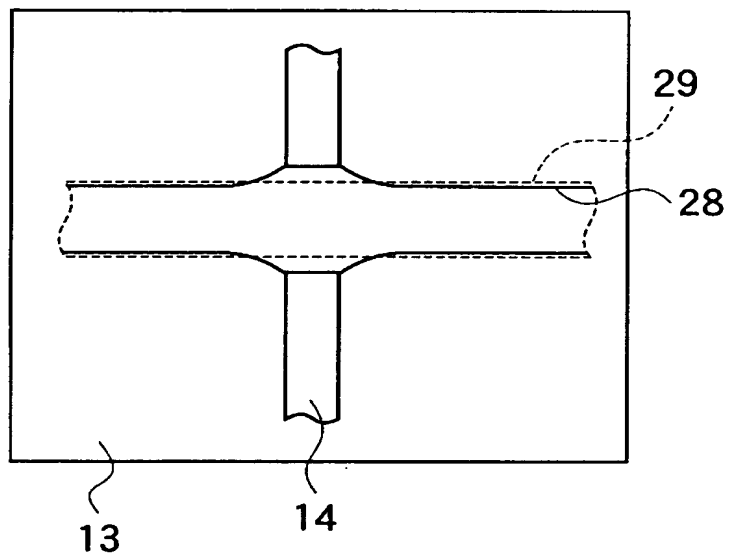
| | | 段差パターンの幅(nm) | | | | | |
|----------------|-----|--------------|---|-----|-----|-----|-----|
| | | 0 | | 200 | | 400 | |
| | | a | b | a | b | a | b |
| 段差パターンの高さ (nm) | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | 100 | 0 | 0 | 25 | 225 | 25 | 425 |
| | 200 | 0 | 0 | 50 | 250 | 50 | 450 |
| | 300 | 0 | 0 | 50 | 275 | 50 | 475 |
| | 400 | 0 | 0 | 50 | 300 | 50 | 500 |
| | | | | | | a | b |

a : 補正パターンの幅、b : 補正パターンの長さ

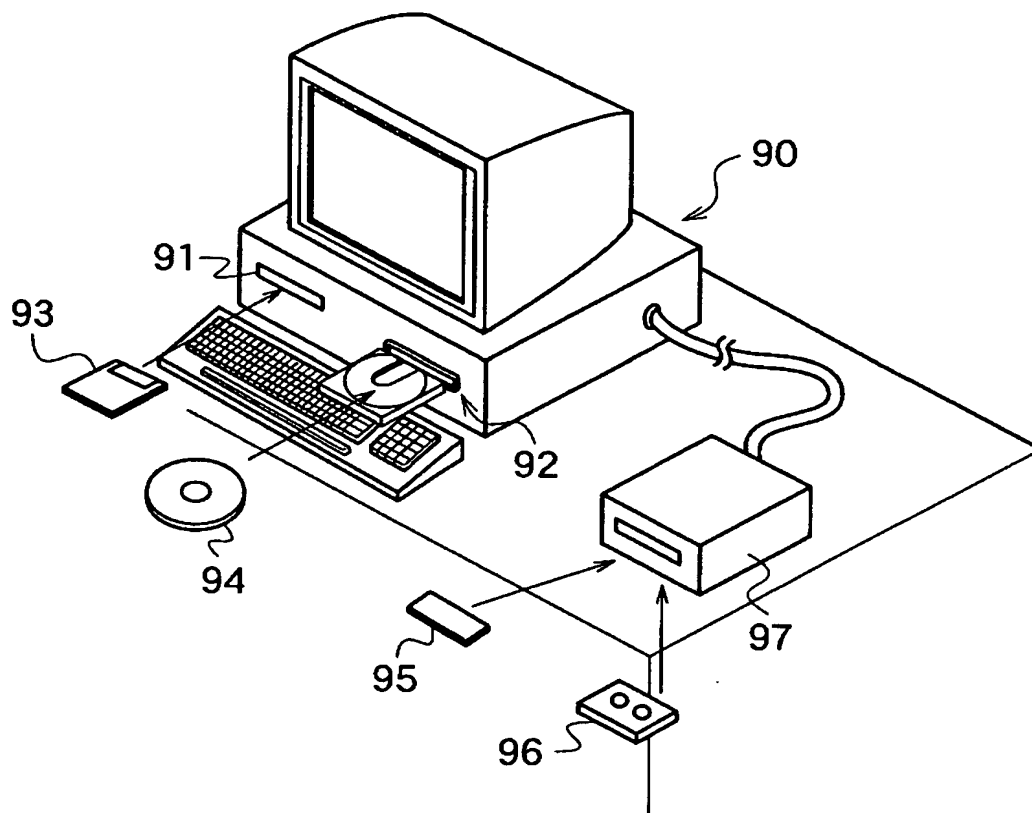
【図 4】



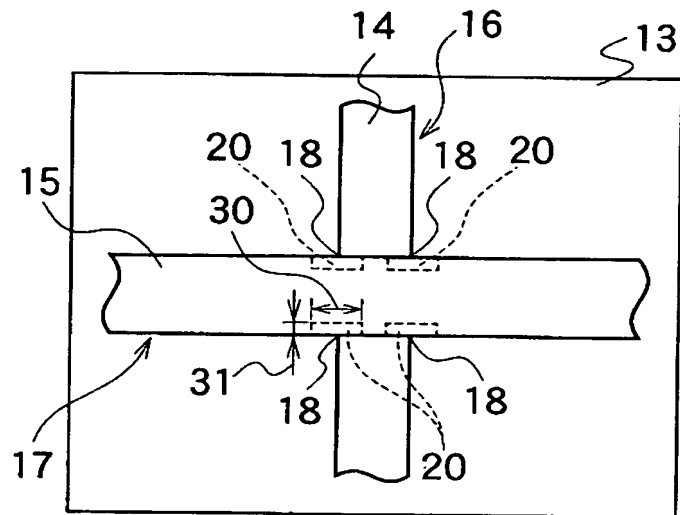
【図 5】



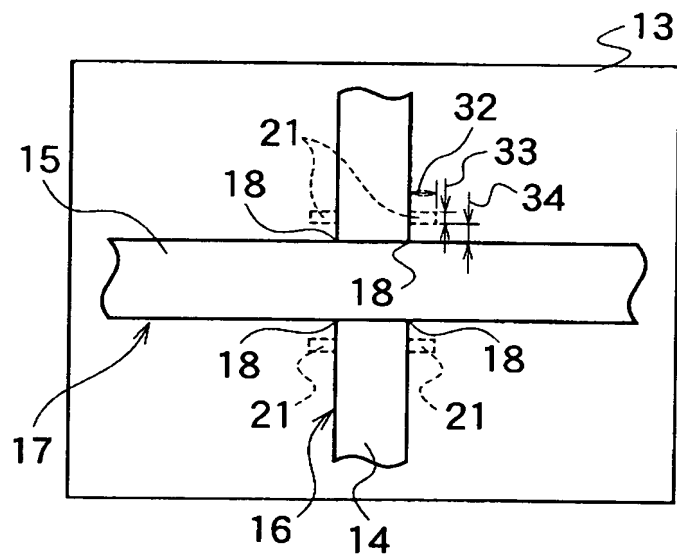
【図 6】



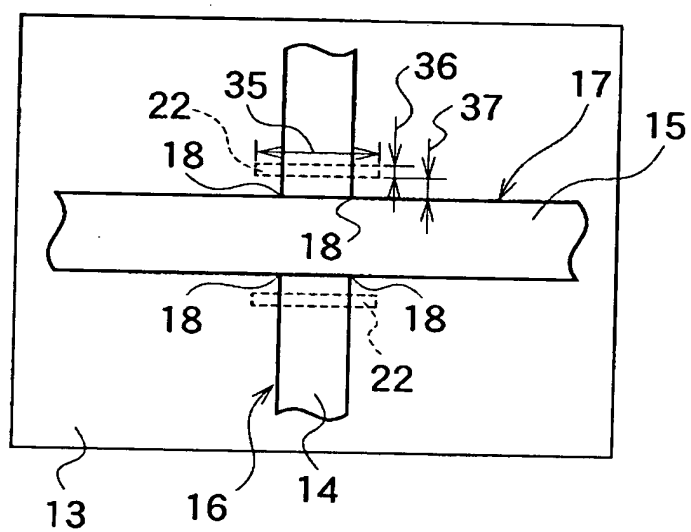
【図 7】



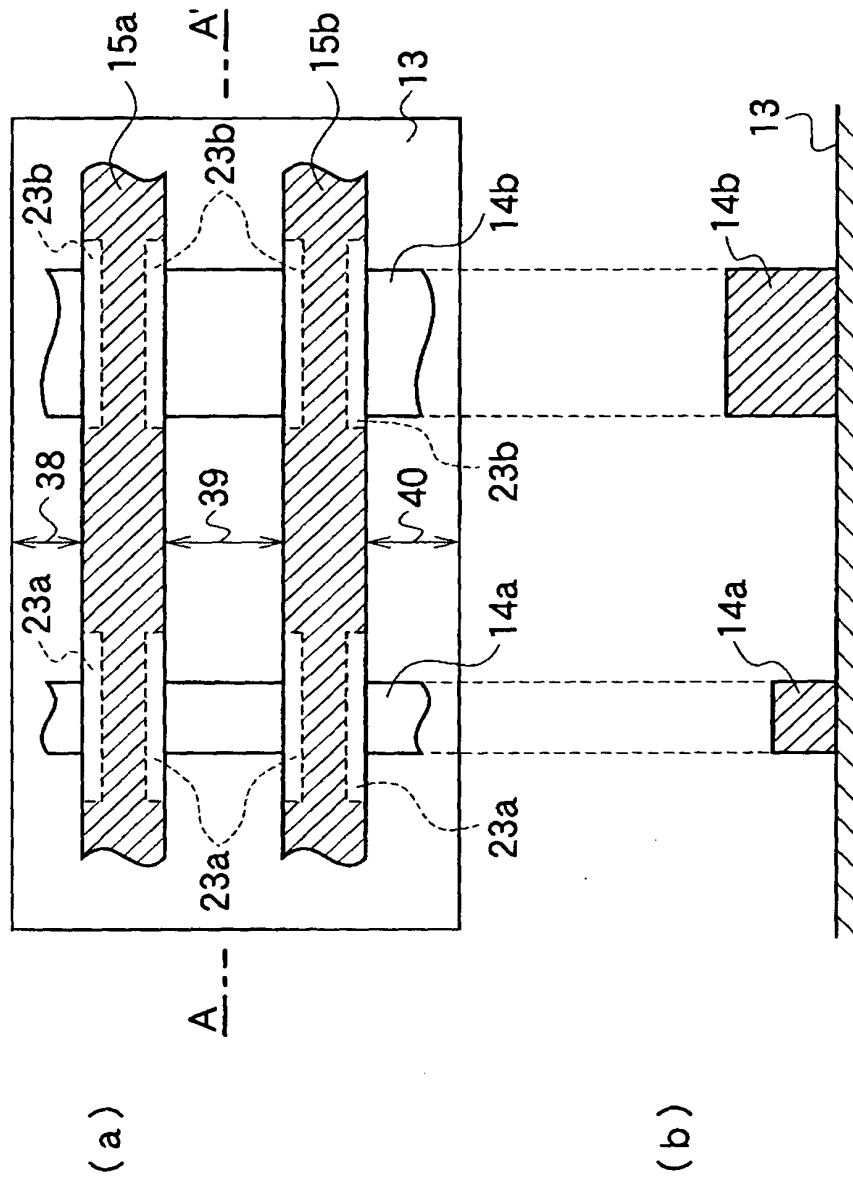
【図 8】



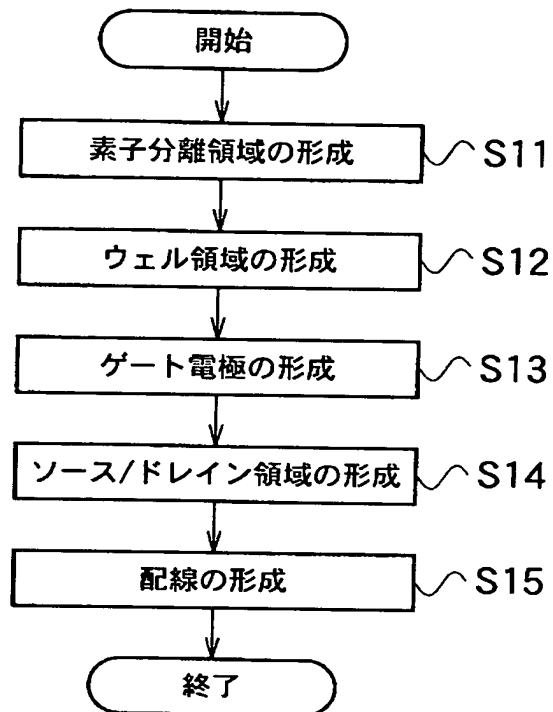
【図9】



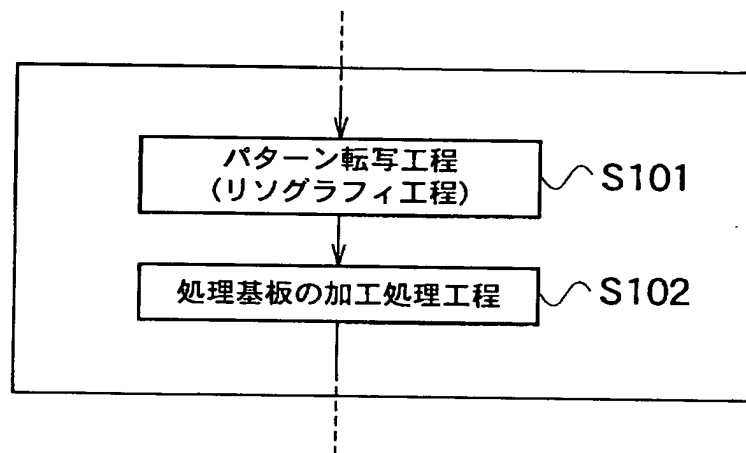
【図10】



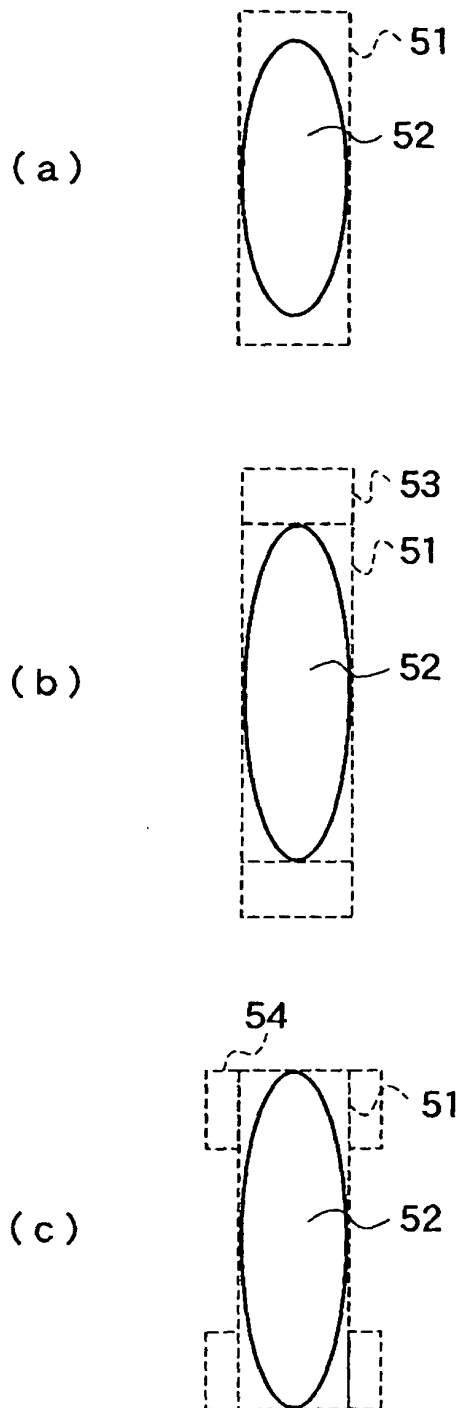
【図11】



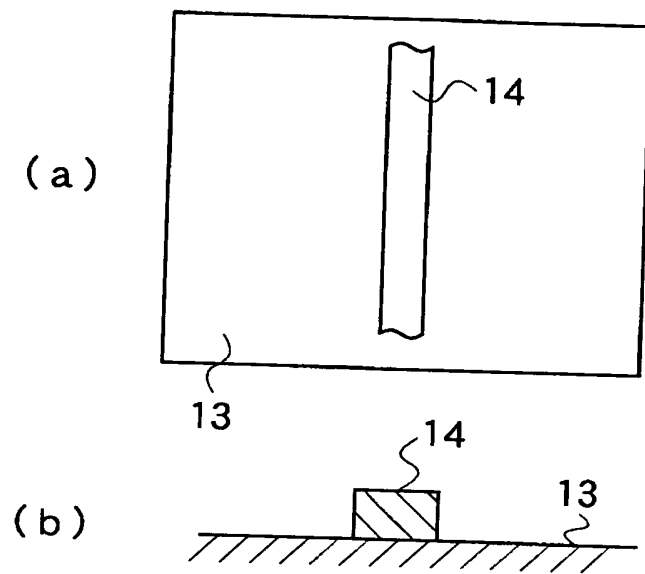
【図12】



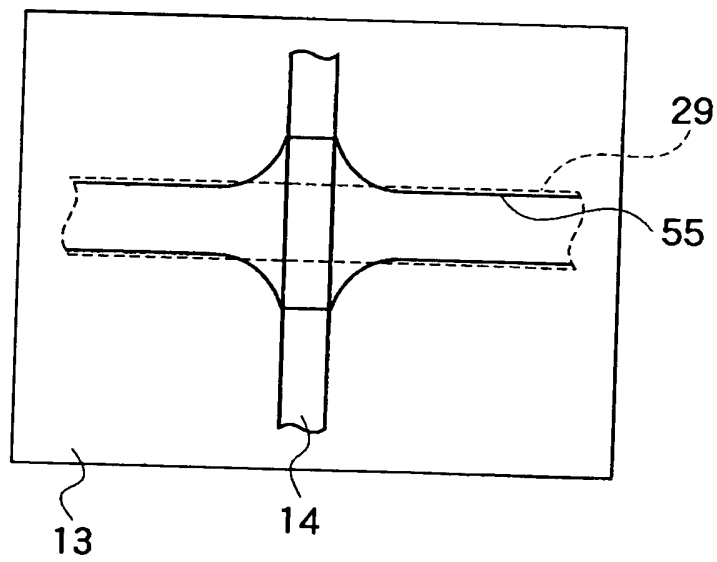
【図 1 3】



【図14】



【図15】



【書類名】 要約書

【要約】

【課題】 段差上にパターンを形成する場合に、設計寸法により近いパターンを形成することができるパターン形成方法を提供する。

【解決手段】 段差パターンが形成されている処理基板の上に段差パターンに交差する回路パターンを転写するリソグラフィ工程において使用するマスクパターンを作成する段階と、段差パターンの形状を考慮した補正ルールに従って、マスクパターンに対して、回路パターンのエッジと段差パターンとの交差部分及び交差部分の近傍に補正パターンを付加する段階とを有する。

【選択図】 図 4

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日
[変更理由] 住所変更
住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝